

INTERNAL VOLTAGE REGULATOR FOR AUTOMOTIVE

Ivan Bryndza

Master Degree Programme (2), FEEC BUT

E-mail: xbrynd00@stud.feec.vutbr.cz

Supervised by: Roman Prokop

E-mail: prokop@feec.vutbr.cz

Abstract: This work contains suitable topology and circuit design of a linear voltage regulator with respect to suppression of disturbances coming from supplied circuit into the input of the regulator. The converter is designed for integration in automotive sensor applications.

Keywords: Voltage regulator, linear regulator, EMC

1 ÚVOD

Kompaktné zariadenia v pokročilom vývoji využívajú integrované obvody obsahujúce analógovú aj digitálnu časť na jednom kuse kremíku, inak povedané SoC (Systems-on-Chip). Vznikla preto požiadavka na plne integrované regulátory, nevyžadujúce externé súčiastky ako je napríklad blokovací kondenzátor. Digitálny obvod v SoC je hlavným zdrojom vysokofrekvenčného rušenia. Napäťový lineárny regulátor by mal dostatočne potlačiť prenos rušenia z napájaného digitálneho obvodu do vstupu regulátora. Táto vlastnosť je obzvlášť dôležitá v automobilových aplikáciách, kde sa využívajú citlivé analógové senzory, či iné bezpečnostné analógové systémy, ktoré nesmú byť rušené. Navrhovaný lineárny napäťový regulátor má vstupné napájacie napätie 4 – 40 V, výstupné napätie $1,8\text{ V} \pm 5\%$, bude zaťažovaný prúdovou spotrebou 0 – 20 mA a počíta s kapacitou napájaného digitálneho obvodu 5 nF, ESR = 10 mΩ.

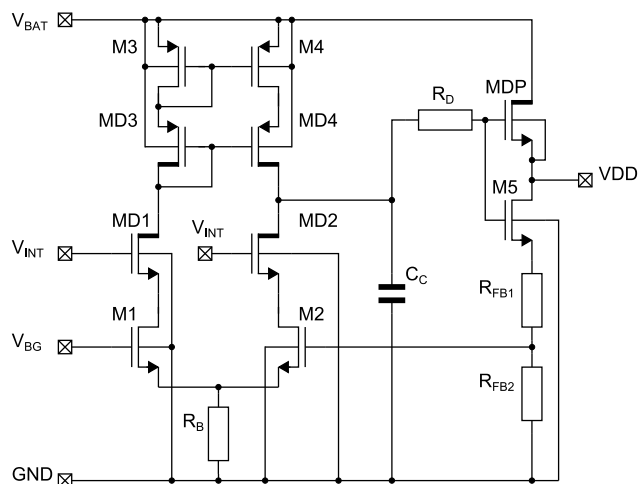
2 NAVRHOVANÝ LINEÁRNY NAPÄŤOVÝ REGULÁTOR

Lineárny regulátor je navrhovaný z pohľadu EMC vlastností, preto je preskúmaný vplyv použitého typu výkonového tranzistora/regulačného člena ako hlavného prvku napäťového regulátora na potlačenie prenosu rušenia z výstupu regulátora na jeho vstup. AC analýza malosignálových modelov NMOS a PMOS tranzistorov v [1] ukazuje, že PMOS tranzistor lepšie potlačuje rušenie na žiadaných frekvenciách (od 1 MHz) oproti NMOS tranzistoru.

Použitie PMOS tranzistoru znamená, že dominantný pól regulátora je na jeho výstupe. V súčasnosti prezentované techniky kompenzácie majú isté obmedzenia alebo vyžadujú použitie veľkej výstupnej kapacity (desiatky nF), ktorá by regulátor stabilizovala [2] [3]. Tento spôsob kompenzácie nie je vhodný pre integrovaný regulátor. V návrhu napäťového regulátora je preto použitý NMOS výkonový tranzistor, ktorého prenos rušenia je následne potlačovaný ďalšími obvodovými princípmi. Stabilizácia regulátoru s NMOS regulačným členom je jednoduchšia. Dominantný pól leží vo vnútri regulátoru na výstupe operačného zosilňovača a na kompenzáciu je potrebná menšia kompenzačná kapacita (desiatky μF).

Navrhovaná topológia lineárneho regulátoru je zobrazená na **obrázek 1**. Tranzistory M1 – M4, MD1 – MD4 tvoria jednoduchý jednostupňový operačný zosilňovač. Regulátor je napájaný z autobaterie V_{BAT} s napätím 4 – 40 V. Vysokonapäťové tranzistory MD1 a MD2 využívajú interný regulátor V_{INT} s napätím 3,3 V pre nastavenie pracovného bodu. Referenčné napätie V_{BG} poskytuje „band-gap“ referencia s napätím 1,215 V. Toto napätie spolu s V_{GS} napätím tranzistora M1 a odporom R_B určuje prúd vetvami diferenciálneho páru operačného zosilňovača. Kapacitor C_C určuje dominantný pól regulátoru a stabilizuje systém. Rezistory R_{FB1} a R_{FB2} tvoria spätnú

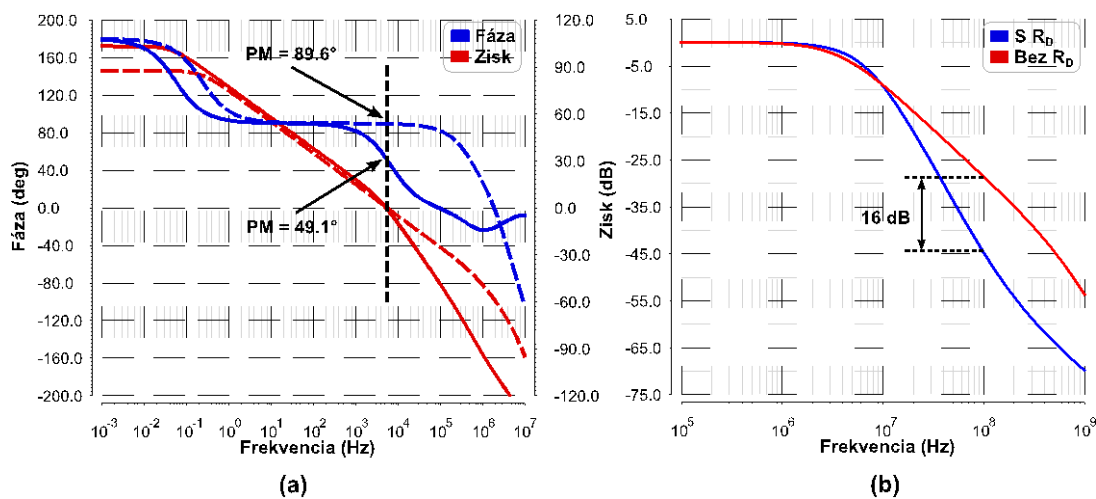
regulačnú väzbu. Výkonový tranzistor MDP je hlavný regulačný člen. Jeho rýchlosť je degradovaná odporom R_D , ktorý na úkor fázovej bezpečnosti a rýchlosti regulátoru vylepšuje útlm rušenia z napájaného digitálneho obvodu do autobaterie. Tranzistor M5 zabráňuje spádu hradlového napätia tranzistoru MDP na hodnoty pod jeho prahové napätie počas dlhého vybíjania výstupnej zaťažovacej kapacity (5 nF). Pri nižšom hradlovom napätí sa tranzistor M5 začne privierať, čo spôsobí, že sa spätná väzba uzatvorí cez M5 a napätie na hradle prestane klesať napriek vyššiemu výstupnému napätiu. Výstupná kapacita sa nabije na vyššiu hodnotu napätia po rýchlom spáde prúdového odberu (**Obrázek 3**).



Obrázek 1: Navrhovaná topológia lineárneho regulátoru

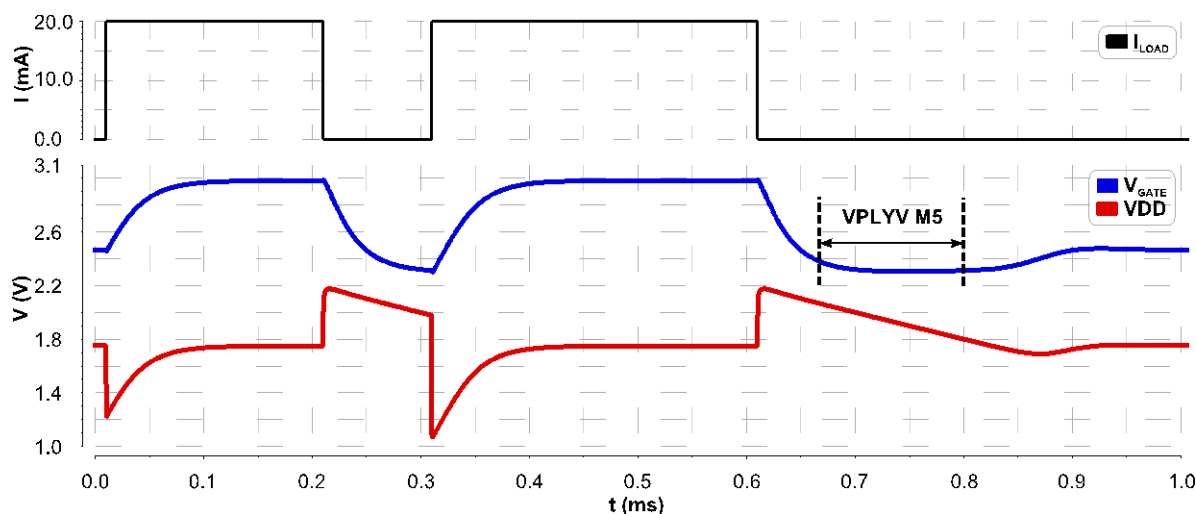
3 VÝSLEDKY NÁVRHU

Navrhnutá topológia spĺňa všetky požiadavky uvedené v úvode. Nasledujúce krivky pochádzajú zo simulátora SPECTRE pri použití modelov technológie I4T ON Semiconductor. **Obrázek 2 (a)** znázorňuje rohové prípady frekvenčnej odozvy otvorenej slučky regulátora. Najhorší prípad (plná čiara) nastal pri prúdovom odbere 10 μ A (odber deliča), napájacom napätí 40 V a teplote -40 $^{\circ}$ C. Fázová bezpečnosť je v tomto prípade 49,1°, čo je pre napäťový regulátor veľmi dobrá hodnota. Opačný prípad (čiarkovaná čiara) nastal pri prúdovom odbere 20,01 mA, napájacom napätí 40 V a teplote 175 $^{\circ}$ C. Výsledná fázová bezpečnosť je 89,6°. Kompenzačná kapacita C_C má hodnotu 90 pF. Napriek relatívne veľkej hodnote, môže byť táto kapacita dobre implementovaná ako MOS štruktúra.



Obrázek 2: Rohové prípady z vyšetrovania stability otvorenej slučky regulátora (a), vylepšenie útlmu elektromagnetického rušenia z výstupu na vstup regulátora pomocou odporu R_D (b)

Obrázek 2 (b) obsahuje frekvenčnú charakteristiku útlmu elektromagnetického rušenia pre dva prípady. Červená krivka znázorňuje odozvu systému na rušenie bez použitia odporu R_D . Modrá krivka ukazuje zlepšenie útlmu pri použití odporu R_D s hodnotou 5 k Ω . Na frekvencii 100 MHz sa útlm zlepšil o 16 dB, pričom fázová bezpečnosť sa takmer nezmenila. Znáznornené krivky predstavujú najhorší prípad.



Obrázek 3: Časová odozva regulátoru na rýchle zmeny (nábežná a zostupná hrana = 1 ns) prúdového odberu

4 ZÁVER

V tejto práci je prezentovaný návrh interného napäťového regulátora pre automobilové aplikácie. Základnou požiadavkou bolo navrhnuť regulátor z pohľadu čo najlepšieho potlačenia elektromagnetických emisií prenikajúcich do autobaterie. Bolo dokázané, že degračný odpor R_D vylepšuje tieto vlastnosti, pričom len málo vplyva na stabilitu systému. Spotreba regulátora je maximálne 13 μ A vďaka jednoduchej topológii. Časová odozva regulátoru na rýchle zmeny prúdového odberu bola simulovaná na 1 nano-sekundových nábežných a zostupných hranách so zmenou prúdu o 20 mA. Pri týchto veľkých zmenách (skutočné zmeny max. 15 mA) neklesne výstupné napätie VDD pod 1 V a nepresiahne hodnotu 2,2 V. Výstupné napätie regulátora VDD sa v rohových prípadoch po ustálení prechodných dejov pohybuje od 1,742 do 1,845 V.

REFERENCIE

- [1] KUBÁŇ, M. *Integrated voltage regulators with respect to EMC and their optimization*. teatrise on doctoral thesis. Brno: Brno University of Technology, Faculty of Electrical Engineering and Communication. Department of Radio Electronics, 2016.
- [2] YAN, Z. SHEN, L. ZHAO, Y. A YUE S. A low-voltage CMOS low-dropout regulator with novel capacitor-multiplier frequency compensation. IEEE International Symposium on Circuits and Systems: IEEE, 2008, s. 2685 - 2688. DOI 10.1109/ISCAS.2008.4542010.
- [3] L. KADLČÍK A P. HORSKÝ. A Low-Dropout Voltage Regulator with a Fractional-Order Control. Brno: Radioengineering, 2016, č. 2, s. 312-20. ISSN 1805-9600.